

SYSTEM AND METHOD FOR DATA PROCESSING CONTAINING BUFFERING MECHANISM FOR INBOUND AND OUTBOUND READ AS WELL AS POSTED WRITE

Publication number: JP9006717

Publication date: 1997-01-10

Inventor: DAN EMU NIIRU; EDOWAADO JIEI SHIRUHA;
SUCHIIBUN EMU TAABAA

Applicant: IBM

Classification:

- international: G06F13/40; G06F13/40; (IPC1-7): G06F13/36

- european: G06F13/40D5

Application number: JP19960124456 19960520

Priority number(s): US19950472603 19950607

Also published as:



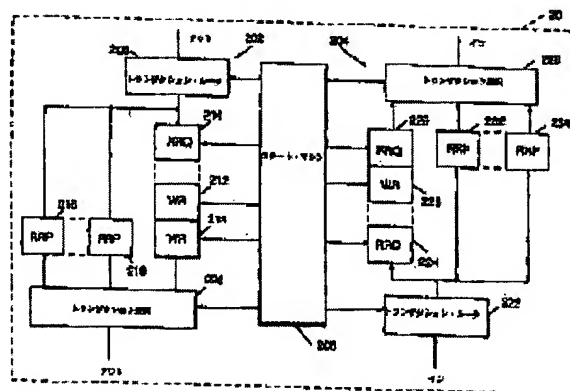
EP0747831 (A)

US5694556 (A)

Report a data error he

Abstract of JP9006717

PROBLEM TO BE SOLVED: To effectively process plural mixed transaction in in-bound and out-bound directions by providing this system with a bus-to-bus bridge for controlling the gating and sequence of a transaction between 1st and 2nd buses. **SOLUTION:** The bus-to-bus bridge 20 has an out-bound path 202 and an in-bound path 204. When an out-bound transaction is received by a transaction router 208, which of a reading request, a reading response and a writing request the transaction corresponds to is judged. A transaction to be transferred to a secondary bus selected by a transaction selecting circuit 220 is always controlled by a state machine 206. The machine 206 controls plural transactions flowing in the out-bound direction, the in-bound direction or both the directions by a state machine logic table.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-6717

(43)公開日 平成9年(1997)1月10日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/36	5 3 0	9172-5E	G 0 6 F 13/36	5 3 0 B

審査請求 未請求 請求項の数13 OL (全 8 頁)

(21)出願番号 特願平8-124456

(22)出願日 平成8年(1996)5月20日

(31)優先権主張番号 4 7 2 6 0 3

(32)優先日 1995年6月7日

(33)優先権主張国 米国 (US)

(71)出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72)発明者 ダン・エム・ニール

アメリカ合衆国、テキサス州、ラウンド・
ロック、ハイタワー・ドライブ 4604

(74)代理人 弁理士 合田 潔 (外2名)

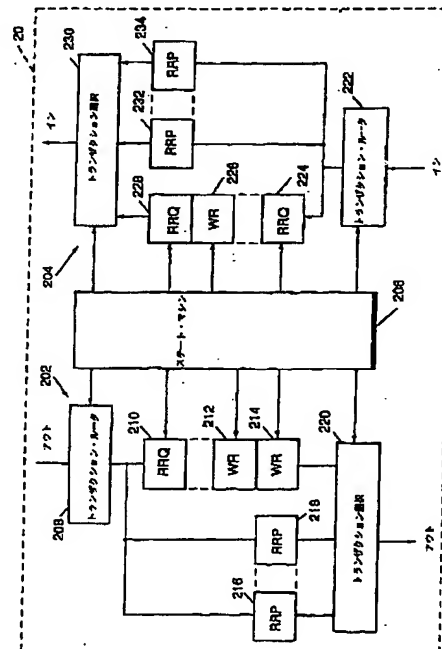
最終頁に続く

(54)【発明の名称】 インバウンド及びアウトバウンド読取り並びにポストッド書込みのためのバッファリング機構を含むデータ処理システム及び方法

(57)【要約】

【課題】 システムの性能を高レベルに保ちながら、読取り要求、読取り応答及びポストッド書込みのトランザクションを効率的に制御する制御機構をもつバス・ツー・バス・ブリッジにおいて、インバウンド及びアウトバウンドの両方向の複数の混合トランザクションを効率的に処理する。

【解決手段】 データ処理システムが、ホスト・プロセッサ、多数の周辺装置、及び1つ又はそれ以上のブリッジを含む。ブリッジは、ホスト、周辺装置、及びネットワーク内などの他のホスト又は周辺装置の間を接続する。各バス・ツー・バス・ブリッジは、アウトバウンド・データ・バス、インバウンド・データ・バス、及び制御機構を含む。アウトバウンド・データ・バスは、一次バスから受信した順番にトランザクションを格納するための待ち行列バッファを含み、ここで待ち行列バッファの中の要求は、読取り要求と書込みトランザクションが混じっている。



1

【特許請求の範囲】

【請求項1】1つ又はそれ以上のプロセッサと、

1つ又はそれ以上の周辺装置と、

1つ又はそれ以上のブリッジを介して前記1つ又はそれ以上のプロセッサ及び前記1つ又はそれ以上の周辺装置と接続する複数のバスと、

第1のバスから第2のバスへのトランザクションを処理するための第1のデータ・バスと、前記第2のバスから前記第1のバスへのトランザクションを処理するための第2のデータ・バスとを含む、前記複数のバスの前記第1のバスと前記第2のバスとの間のトランザクションを制御するための1つ又はそれ以上のブリッジと、

前記第1のデータ・バス及び前記第2のデータ・バスを介して前記第1のバス及び前記第2のバスとの間のトランザクションのゲーティング及びシーケンスを制御するための制御装置と、を含む、データ処理システム。

【請求項2】前記第1のデータ・バス及び前記第2のデータ・バスがそれぞれが、

トランザクションを前記データ・バス内のバッファにゲーティングするために、前記ブリッジへの入力に接続されるトランザクション・ルータ回路と、

読取り応答トランザクションを格納するために、前記トランザクション・ルータ回路に接続される1つ又はそれ以上のバッファと、

読取り要求トランザクション及び書込みトランザクションを格納するために、前記トランザクション・ルータ回路に接続される1つ又はそれ以上のバッファと、

前記制御装置の制御の下で前記データ・バスから出力される1つ又はそれ以上のトランザクションを選択するために、前記バッファの出力に接続されるトランザクション選択回路と、を更に含む、請求項1に記載のデータ処理システム。

【請求項3】前記制御装置が前記第1のデータ・バス及び前記第2のデータ・バスを介してトランザクションを制御するためにステート・マシンを更に含む、請求項1に記載のデータ処理システム。

【請求項4】前記ステート・マシンが所定の論理構造に従って前記第1データ・バス及び第2のデータ・バスのトランザクションのゲーティングを制御する、請求項3に記載のデータ処理システム。

【請求項5】前記所定の論理構造が、前記制御装置によりゲーティングされる読取りトランザクションに先立つ書込みバッファのフラッシュを除去するために、前記読取りトランザクション及び前記書込みトランザクションを制御する手段を更に含む、請求項4に記載のデータ処理システム。

【請求項6】前記第1のデータ・バスがアウトバウンド・データ・バスである、請求項1に記載のデータ処理システム。

【請求項7】前記第2のデータ・バスがインバウンド・

2

データ・バスである、請求項1に記載のデータ処理システム。

【請求項8】第1データ・バス及び第2のデータ・バスを含み、それぞれが前記第1のデータ・バス及び前記第2のデータ・バスを介して第1のバスと第2のバスとの間のトランザクションのゲーティング及びシーケンスを制御するために制御装置の制御の下で動作する、バス・ツー・バス・ブリッジ。

【請求項9】前記制御装置が所定の論理構造に従って動作するステート・マシンを更に含む、請求項8に記載のバス・ツー・バス・ブリッジ。

【請求項10】各前記データ・バスが、前記制御装置からの制御信号に従って複数のバッファの1つにトランザクションをゲーティングするために入力バスに接続されるトランザクション経路指定回路と、

第1の複数の前記バッファは読取り応答トランザクションを格納し、ならびに第2の複数の前記バッファは読取り要求トランザクション及び書込みトランザクションを格納する前記トランザクションを格納するための複数のバッファと、

前記制御装置の論理構造の制御の下で前記出力バスにトランザクションをゲーティングするために前記バッファの出力と出力バスとの間に接続されるトランザクション選択回路とを更に含む、請求項8に記載のバス・ツー・バス・ブリッジ。

【請求項11】ブリッジを介して第1バスから第2バスへの複数のトランザクションを制御するための、データ処理システムの中の方法であり、

トランザクション経路指定回路の中で前記第1バスからのトランザクションの種類を判定するステップと、

前記トランザクションの種類に従って複数のバッファの1つにトランザクションをゲーティングするステップと、

所定の論理構造に従って前記バッファの出力を制御するステップと、

選択されたトランザクションを前記第2バスにゲーティングするステップと、を含む方法。

【請求項12】前記論理構造の制御の下で第1受信トランザクションに先立ち第2受信トランザクションをゲーティングするステップを更に含む、請求項11に記載の方法。

【請求項13】前記論理構造に従って第1のデータ・バス及び第2のデータ・バス上のトランザクションのゲーティングを制御するステップを更に含む、請求項11に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データ処理システムに関連し、更に詳細に述べれば、ホストから周辺装置へのインバウンド及びアウトバウンド読取りならびにボ

50

ステッド遅延書き込みを効率的に処理するための機構を含むデータ処理システムに関連する。

【0002】

【従来の技術】周辺コンポーネント相互接続(PCI)バス仕様等、データ処理システムで使用する標準バス・アーキテクチャの多くが、バス・ツー・バス・ブリッジを通るトランザクションの順序付け規則を含む。例えばこれらのトランザクションには、ホスト・プロセッサから周辺装置へ、アウトバウンド方向への読取り要求、周辺装置からホスト・プロセッサへ、インバウンド方向へのデータを含む読取り応答、又はポストエド書き込みが挙げられる。ポストエド書き込みでは、書き込みコマンドがバス・ツー・バス・ブリッジ内のバッファにポストされ、その結果ホストが他の処理を実行できる。ポストエド書き込みとは、ここでは、書き込みが開始バス上で完了し、将来宛先バス上で完了するためにバス・ツー・バス・ブリッジにポストされることを意味する。現行のバス・ツー・バス・ブリッジ・アーキテクチャでは、アウトバウンド(ホスト・プロセッサから出る方向)及びインバウンド(ホスト・プロセッサへ向かう方向)の両方向の書き込みバッファを、バス・ツー・バス・ブリッジを通る読取りトランザクションの完了前にフラッシュする必要がある。バッファのフラッシュが要求するとブリッジ・バッファの中にポストエド書き込みがあると、プロセッサ読取りアクセスは再試行になるので、保留状態になる。このように、バッファのフラッシュ要求は、ビジー・サーバの性能問題を引起す可能性がある。ここで再試行とは、マスターによりアドレス指定されるターゲット装置がアクセスを確認応答するが、ビジーの信号を出し、トランザクションを終了することを意味する。この結果、マスターは後でアクセスを再度試みる。

【0003】従来のブリッジ・アーキテクチャのいくつかは、性能の改良及びスループット遅延の解消を試みている。

【0004】1992年7月発行のIBM Technical Disclosure Bulletinの233ページに記載された論文の、発明の名称「高性能透過ブリッジ体系」では、ネットワークを相互接続するマルチポート・ブリッジをもつ、高性能ブリッジ体系を示している。これには、読取り、書き込みに関わらずブリッジ内での均一の処理によるデータの転送を保証する、バッファリング・コンポーネントが含まれる。

【0005】この論文は一般的にブリッジの性能の改良に関連するが、システム性能の劣化の原因となる、読取りトランザクションの完了に先立つバッファのフラッシュ要求の問題については対処していない。

【0006】米国特許第5,070,134(BC993012)号、発明の名称「多重PCIバス環境のPCIバスの構成方法及び装置」では、PCIブリッジを構成する方法及び装置が開示される。この特許は、バス・

ツー・バス・ブリッジをもつホスト・ブリッジ、及びシステム・バスに直接接続された周辺バスを介したホスト・システムへの直接接続が開示される。

【0007】この特許では、業界標準PCIブリッジ体系の操作を示しているが、読取りトランザクションに先立つバッファのフラッシュ要求から生じる性能問題の解決については、対処も提案も示していない。

【0008】米国特許第5,333,269号、発明の名称「共用メモリを介してソース・ユーザと宛先ユーザ間でメッセージを転送する機構」では、多数の独立バッファをもつメモリ、メモリ・インターフェース及び中央制御装置が接続される共通バスを開示する。メモリ・インターフェースは、ソース・ユーザからメッセージを受信し、選択したバッファにそのメッセージを格納し、また複数のバッファを一緒につなげる。制御装置は、メモリ・インターフェースから受信するコマンドに応答してインバウンド・メッセージ・キュー及びアウトバウンド・メッセージ・キューを生成する。

【0009】この特許は、高性能バス・ブリッジ・アーキテクチャといくつかの類似点があるが、ポストエド書き込みトランザクションに続く読取りトランザクションの完了に先立つバッファのフラッシュ要求の問題の解決については、対処も提案も示していない。

【0010】米国特許第5,247,620号、発明の名称「相互接続のネットワークのアドレス・チェック回路を備えたブリッジ装置」では、プロセッサから周辺装置への情報の読取り、及びネットワーク環境内でのブリッジングのための複数インバウンド及びアウトバウンド・バッファを開示する。

【0011】この特許は図1に示すように、バッファ・メモリを含むバス・ツー・バス・ブリッジを開示するが、書き込みトランザクションと読取りトランザクションの間のバッファのフラッシュの必要性を除去する、バス・ツー・バス・ブリッジの性能改善のための機構については、対処も提案も示していない。

【0012】この他の従来技術の特許及び出版物でも、各種のブリッジ及びバッファリング機構が示されるが、書き込み操作に続く読取り操作のためのバッファのフラッシュ要求を除去する性能改善については、どれも対処も提案も示していない。

【0013】更に、従来の技術は、複数のインバウンド及びアウトバウンド混合トランザクションの処理問題にも適切に対処していない。

【0014】

【発明が解決しようとする課題】本発明の目的は、システムの性能を高レベルに保ちながら、読取り要求、読取り応答及びポストエド書き込みのトランザクションを効率的に制御する制御機構をもつバス・ツー・バス・ブリッジにおいて、インバウンド及びアウトバウンドの両方向の複数の混合トランザクションを効率的に処理すること

にある。

【0015】

【課題を解決するための手段】上記より、データ処理システムは、ホスト・プロセッサ、複数の周辺装置、及び1つ又はそれ以上のブリッジを含む。このブリッジは、ホスト、周辺装置、及びネットワーク内などの他のホスト又は周辺装置間を接続する。各バス・ツー・バス・ブリッジは、一次バスと二次バスとの間を接続し、ここでは明確にするために、一次バスをアウトバウンド・トランザクションのソース及びインバウンド・トランザクシ10 ョンの宛先と見なし、ならびに二次バスをアウトバウンド・トランザクションの宛先及びインバウンド・トランザクションのソースと見なす。一次「開始」バス上の異なるトランザクションは、実装方法によって、「二次」バス上の他のトランザクションと同時に発生できる場合も発生できない場合もある。各バス・ツー・バス・ブリッジは、アウトバウンド・データ・バス、インバウンド・データ・バス、及び制御機構を含む。アウトバウンド・データ・バスは、一次バスから受信した順番にトランザクションを格納するための待ち行列バッファを含み、20 ここで待ち行列バッファの中の要求は、読取り要求と書込みトランザクションが混じっている。アウトバウンド・バスは、読取り応答データ及びアドレス情報を格納するための複数の並列バッファも含む。

【0016】インバウンド・バスはアウトバウンド・バスのミラー・イメージであり、読取り要求と書込み要求が順次バッファに格納され、及び読取り応答が複数の並列バッファに格納される。バス・ツー・バス・ブリッジのインバウンド・バス及びアウトバウンド・バスは、どちらともステート・マシンにより制御される。このマシンは両方向のアクティビティを考慮して、バイバス・トランザクションを許可又は禁止する。ここでバイバスとは、たとえ前のトランザクションが後に続くトランザクションより早く待ち行列に入っている、後に続くトランザクションが前のトランザクションより前に処理されることを意味する。

【0017】インバウンド及びアウトバウンド・トランザクション要求が、所定のステート・マシンの制御の下で順序通りではなく処理される点が、本発明の特徴である。

【0018】バッファのフラッシュの要求なしに読取りトランザクションが書込みトランザクションの後に続くことを可能にする機構により、バス・ツー・バス・ブリッジ内のインバウンド及びアウトバウンド・トランザクションを効率よく処理できることが、本発明の別の特徴である。

【0019】別のトランザクションがバス・ツー・バス・ブリッジを通るときに、それらのトランザクションに対して適切なデータの一貫性を維持できることが、本発明の別の特徴である。

【0020】読取り要求などの他のトランザクションは、開始バス上で完了する前に、宛先バス上で完了する（データ・フェッチする）必要がある。本発明の特徴から、読取りアクセスなどのトランザクションの処理は、ポストド書込みをフラッシュしないで進めることができる。

【0021】ここでポストド読取りとは、ターゲットがアクセスを確認応答し、ビジーの信号を出してから、次に再試行にしてアクセスを終了することを意味する。マスターは後でアクセスを再度試みる。バス・ツー・バス・ブリッジは、次に後続の処理のために読取り要求をポストするので、その結果マスターが後でアクセスを再度試みたときに、使用可能な読取りデータがある。バス・ツー・バス・ブリッジが要求されたデータを獲得する前に、マスターが再試行すると、ブリッジは再び再試行の信号を送るが、アクセス要求の第2のコピーはバッファリングしない。

【0022】バス・ツー・バス・ブリッジの他に、書込み及び読取りトランザクションをポストするホスト・バス・ブリッジ及びアダプタ装置にも、これらの技術は適用できる。

【0023】以上、次に説明する本発明の詳細の理解を助けるために、本発明の特徴及び技術的長所の概要を述べた。本発明の特許請求事項の主題となる、追加の特徴及び長所を次に説明する。

【0024】

【発明の実施の形態】図1を参照して、本発明を実施するデータ処理システムを説明する。

【0025】システム10は、第1のバス14と接続するホスト・プロセッサ12を含む。図1に点線で示す他のプロセッサ12も、バス14に接続される。

【0026】バス・ツー・バス・ブリッジ20もバス14に接続され、これは第1のバス14と第2のバス16の間を接続する。他の装置30、40も、同様にバス16に接続される。更に、別のブリッジ20が、バス16及び第3のバス18に接続する。バス18には、多数のステーション又は周辺装置22が接続される。ブリッジ20を除いて、上記で示した図1の各要素は、すべて当業者には周知の技術であり、ここで詳細を説明する必要のないものである。

【0027】例として、バス14、16、及び18には、業界標準となっているPCIバスを使用できる。但し、これは本発明の範囲を制限するものではない。

【0028】次に図2を参照して、バス・ツー・バス・ブリッジ20の詳細を説明する。本発明の望ましい実施例の説明で使用するように、用語「アウトバウンド」とは、プロセッサから出ていくトランザクションを指し、また「インバウンド」とは、プロセッサへ向かうトランザクションを指す。

50 【0029】ブリッジ20は、2つのデータ・バス、即

ちアウトバウンド・バス202及びインバウンド・バス204を有する。インバウンド、アウトバウンドのすべてのトランザクションを、ステート・マシン206が制御する。

【0030】アウトバウンド・トランザクションがトランザクション・ルータ208により受信されると、トランザクション・フォーマットが調べられ、そのトランザクションが読取り要求、読取り応答、又は書込み要求のいずれであるかが判定される。

【0031】読取り要求のフォーマットは、アドレス及び制御情報である。読取り応答のフォーマットは、アドレス、制御情報及び要求されて現在発信元の要求者に送信中のデータを含む。

【0032】書込みトランザクションは、アドレス、制御情報及び選択されたアドレスに書込まれるデータを含む。

【0033】例えば、トランザクション・ルータ208で現在アクティブであるトランザクションが、読取り要求であると想定すると、このトランザクションは複数の順次バッファ210、212、214の中の1つに送られる。順次バッファ・エントリ210、212、214は、ブリッジ20内に保留されると予想されるトランザクションのスタックの処理に適した長さの数のバッファ・エントリである。

【0034】トランザクション・ルータ208に保留中のトランザクションが読取り応答の場合、読取り応答トランザクションは並列バッファ・エントリ216、218の1つに転送される。

【0035】トランザクション選択回路220が選択し、二次バスに渡すトランザクションは、常にステート・マシン206により制御される。これによって、例えば順次バッファ210、212、又は214に格納されたトランザクションへの、もしくは並列バッファ216、218の読取り応答トランザクションへの、順序通りではないアクセスが可能になる。

【0036】インバウンド・バス204は、アウトバウンド・バス202と同じ要素を含むが、それらの要素が逆順に接続されている点異なる。即ち、トランザクション・ルータ222が二次バス16又は18に接続される(図1を参照)。アウトバウンド・トランザクション・ルータ208についての上記の説明のように、インバウンド・トランザクション・ルータ222は、ステート・マシン206により制御される。読取り要求及び書込みトランザクションについては、各トランザクションは順次インバウンド・バッファ224、226、及び228の1つに経路指定される。読取り応答トランザクションは、並列バッファ232、234に転送される。ステート・マシン206に制御されるインバウンド選択回路230が、順次バッファ224、226、又は228、もしくは並列バッファ232又は234からのトランザ

クションの転送をそれぞれ制御する。

【0037】ステート・マシン206は、図3に示すステート・マシン論理テーブルにより規定されるプロトコルに基づいて動作し、アウトバウンド又はインバウンドもしくはこの両方に流れる複数のトランザクションを制御する。

【0038】次に図3を参照して、ステート・マシン206を制御する論理テーブルを説明する。論理テーブルの上段は、アウトバウンド又はインバウンドのトランザクションを表し、説明の都合上、第1のトランザクションと呼ばれるトランザクションである。論理テーブルの左側は、都合上、第2のトランザクションと呼ばれる、アウトバウンド及びインバウンド・トランザクションである。

【0039】例えば、アウトバウンドの第1のトランザクションが読取り要求であり、アウトバウンドの第2のトランザクションが読取り要求である場合、論理テーブルの列と行の交点は1を示す。論理テーブルの欄の1は、順序通りではないバイパス・トランザクションの許可を示す。図3の論理テーブルの欄の0は、バイパス・トランザクションの禁止を示す。したがって、第1のトランザクションがアウトバウンド読取り要求であり、その後第2のトランザクションとしてアウトバウンド読取り要求が続く場合、この第1のトランザクションは第2のトランザクションによりバイパスできる。バイパスするとは、宛先バス上で、第1の要求の完了より先に、第2の要求が完了することを意味する。しかし、例えば第1のトランザクションがアウトバウンド書込みトランザクションの場合、アウトバウンド読取り要求がバイパスすることは禁止される。

【0040】論理テーブルで、バイパス・トランザクションの禁止を示すゼロがある位置は、すべて書込みトランザクションを含む点に注意されたい。例えば、アウトバウンド読取り要求は、アウトバウンド書込みをバイパスできないし、アウトバウンド読取り応答又は書込みも、他のアウトバウンド書込みをバイパスできない。インバウンド・トランザクションについても、同様である。即ち、インバウンド読取り要求、読取り応答、又は書込みトランザクションは、それより前のインバウンド書込みトランザクションをバイパスできない。ステート・マシン206を制御するこの論理テーブルは、トランザクション・ルータ208及び222、ならびにトランザクション選択回路220及び230のトランザクションのゲーティングをそれぞれ制御する。

【0041】アウトバウンド読取り要求は、それより早いアウトバウンド読取り要求をバイパスできる。アウトバウンド読取り要求は、それより早いアウトバウンド読取り応答をバイパスできる。アウトバウンド読取り要求は、それより早い書込みトランザクションをバイパスできない。これは、書込みトランザクションが到着する前

に、既に書込まれているレジスタの読取りが実行され、その結果不正なデータの読取りが発生することを防ぐ。

【0042】アウトバウンド読取り応答は、それより早いアウトバウンド読取り要求又は読取り応答トランザクションをバイパスできる。一般化されたバス・ツリー・バス・ブリッジでは、アウトバウンド読取り応答は、それより早いアウトバウンド書込みトランザクションをバイパスできない。これは、装置がメモリ書込みを完了したことを示す割込みが早く到着し、その結果、メモリへの書込みが完了される前に、対象書込みデータへのアクセスが認められることを防ぐためである。このような割込みレースがインバウンドの場合だけ考慮される、もう少し一般化されていないシステムでは、アウトバウンド読取り応答は、それより早い書込みトランザクションをバイパスできる。

【0043】アウトバウンド書込みトランザクションは、それより早いアウトバウンド読取り要求をバイパスできる。これは、読取り要求はそれが完了するまでは単なる要求にすぎず、データの順序付けに関してはまだ何も発生していないという事実起因する。したがって、書込みトランザクションは読取り要求をバイパスできる。

【0044】アウトバウンド書込みトランザクションは、それより早いアウトバウンド書込みトランザクションをバイパスできない。これによって、1つのバス上の書込みトランザクションがブリッジも通る場合でも、書込みトランザクションが両方のバス上で同じ順番で完了することが保証される。

【0045】インバウンド・トランザクション対インバウンド・トランザクションに関しては、インバウンド読取り要求は、それより早いインバウンド読取り要求をバイパスできる。インバウンド読取り要求は、それより早いインバウンド読取り応答をバイパスできる。

【0046】インバウンド読取り要求は、それより早いインバウンド書込みトランザクションをバイパスできない。これによって、既に書込まれているレジスタの読取りが、書込みデータが到着する前に実行されることを防ぐ。

【0047】インバウンド読取り応答は、それより早いインバウンド読取り要求及び読取り応答をバイパスできる。インバウンド読取り応答は、それより早いインバウンド書込みトランザクションをバイパスできない。これによって、装置がシステム・メモリへの書込みを完了したことを示す割込みが早く到着することを防ぎ、メモリへの対象書込みが実行される前にプロセッサがメモリ位置を読取ることを防ぐ。

【0048】インバウンド書込みトランザクションは、インバウンド読取り応答及び読取り要求をバイパスできる。

【0049】インバウンド書込みトランザクションは、

それより早いインバウンド書込みトランザクションをバイパスできない。前述のように、これによって、1つのバス上の書込みトランザクションがブリッジも通る場合でも、書込みトランザクションが両方のバス上で同じ順番で完了することが保証される。

【0050】任意のアウトバウンド・トランザクションは、それより早いインバウンド・トランザクションをバイパスできること、及び任意のインバウンド・トランザクションは、それより早いアウトバウンド・トランザクションをバイパスできることに留意されたい。これらのトランザクションは異なるアドレス空間に向けられるものなので、このようなバイパスが可能になる。アウトバウンド対インバウンド・トランザクション又はインバウンド対アウトバウンド・トランザクションが順序付けを要求する場合は、本発明の範囲を超えたソフトウェア・プロトコルにより処理される。

【0051】読取りアクセスを試み、再試行されるマスターは、完了するまで定期的にアクセスを再試行する必要がある。

【0052】事前取出し不可能な読取り応答データが、そのタイムアウト期間を過ぎてもバス・ツリー・バス・ブリッジのバッファに残っている場合、バス・ツリー・バス・ブリッジはシステム・エラーをアクティブにして、ブリッジが事前取出し不可能な読取りデータのストール・バッファを有することをシステムに示す。

【0053】まとめとして本発明の構成に関して以下の事項を開示する。

【0054】(1) 1つ又はそれ以上のプロセッサと、1つ又はそれ以上の周辺装置と、1つ又はそれ以上のブリッジを介して前記1つ又はそれ以上のプロセッサ及び前記1つ又はそれ以上の周辺装置と接続する複数のバスと、第1のバスから第2のバスへのトランザクションを処理するための第1のデータ・バスと、前記第2のバスから前記第1のバスへのトランザクションを処理するための第2のデータ・バスとを含む、前記複数のバスの前記第1のバスと前記第2のバスとの間のトランザクションを制御するための1つ又はそれ以上のブリッジと、前記第1のデータ・バス及び前記第2のデータ・バスを介して前記第1のバス及び前記第2のバスとの間のトランザクションのゲーティング及びシーケンスを制御するための制御装置と、を含む、データ処理システム。

(2) 前記第1のデータ・バス及び前記第2のデータ・バスがそれぞれが、トランザクションを前記データ・バス内のバッファにゲーティングするために、前記ブリッジへの入力に接続されるトランザクション・ルータ回路と、読取り応答トランザクションを格納するために、前記トランザクション・ルータ回路に接続される1つ又はそれ以上のバッファと、読取り要求トランザクション及び書込みトランザクションを格納するために、前記トランザクション・ルータ回路に接続される1つ又はそれ

以上のバッファと、前記制御装置の制御の下で前記データ・バスから出力される1つ又はそれ以上のトランザクションを選択するために、前記バッファの出力に接続されるトランザクション選択回路と、を更に含む、(1)に記載のデータ処理システム。

(3) 前記制御装置が前記第1のデータ・バス及び前記第2のデータ・バスを介してトランザクションを制御するためにステート・マシンを更に含む、(1)に記載のデータ処理システム。

(4) 前記ステート・マシンが所定の論理構造に従って前記第1データ・バス及び第2のデータ・バスのトランザクションのゲーティングを制御する、(3)に記載のデータ処理システム。

(5) 前記所定の論理構造が、前記制御装置によりゲーティングされる読取りトランザクションに先立つ書き込みバッファのフラッシュを除去するために、前記読取りトランザクション及び前記書き込みトランザクションを制御する手段を更に含む、(4)に記載のデータ処理システム。

(6) 前記第1のデータ・バスがアウトバウンド・データ・バスである、(1)に記載のデータ処理システム。

(7) 前記第2のデータ・バスがインバウンド・データ・バスである、(1)に記載のデータ処理システム。

(8) 第1データ・バス及び第2のデータ・バスを含み、それぞれが前記第1のデータ・バス及び前記第2のデータ・バスを介して第1のバスと第2のバスとの間のトランザクションのゲーティング及びシーケンスを制御するために制御装置の制御の下で動作する、バス・ツー・バス・ブリッジ。

(9) 前記制御装置が所定の論理構造に従って動作するステート・マシンを更に含む、(8)に記載のバス・ツー・バス・ブリッジ。

(10) 各前記データ・バスが、前記制御装置からの制御信号に従って複数のバッファの1つにトランザクションをゲーティングするために入力バスに接続されるト

ランザクション経路指定回路と、第1の複数の前記バッファは読取り応答トランザクションを格納し、ならびに第2の複数の前記バッファは読取り要求トランザクション及び書き込みトランザクションを格納する前記トランザクションを格納するための複数のバッファと、前記制御装置の論理構造の制御の下で前記出力バスにトランザクションをゲーティングするために前記バッファの出力と出力バスとの間に接続されるトランザクション選択回路とを更に含む、(8)に記載のバス・ツー・バス・ブリッジ。

(11) ブリッジを介して第1バスから第2バスへの複数のトランザクションを制御するための、データ処理システムの中の方法であり、トランザクション経路指定回路の中で前記第1バスからのトランザクションの種類を判定するステップと、前記トランザクションの種類に従って複数のバッファの1つにトランザクションをゲーティングするステップと、所定の論理構造に従って前記バッファの出力を制御するステップと、選択されたトランザクションを前記第2バスにゲーティングするステップと、を含む方法。

(12) 前記論理構造の制御の下で第1受信トランザクションに先立ち第2受信トランザクションをゲーティングするステップを更に含む、(11)に記載の方法。

(13) 前記論理構造に従って第1のデータ・バス及び第2のデータ・バス上のトランザクションのゲーティングを制御するステップを更に含む、(11)に記載の方法。

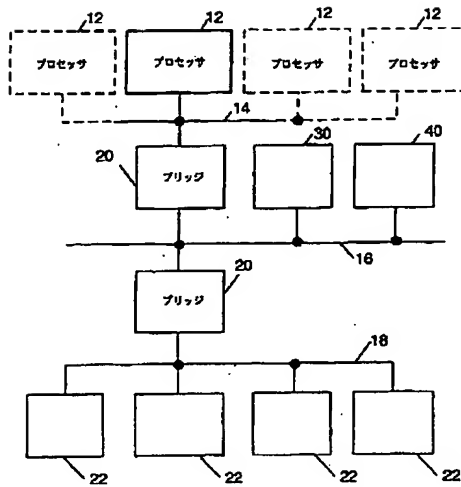
【図面の簡単な説明】

【図1】本発明を実施するデータ処理システムのブロック図である。

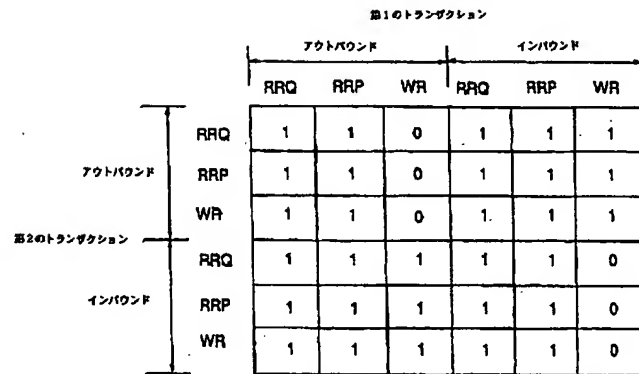
【図2】図1のシステムに準拠する、本発明の特徴を示すバス・ツー・バス・ブリッジのブロック図である。

【図3】アウトバウンド・バス及びインバウンド・バス上のトランザクションの各種類について、図2のブリッジ内のインバウンド及びアウトバウンド・トランザクションの制御を示す論理テーブルである。

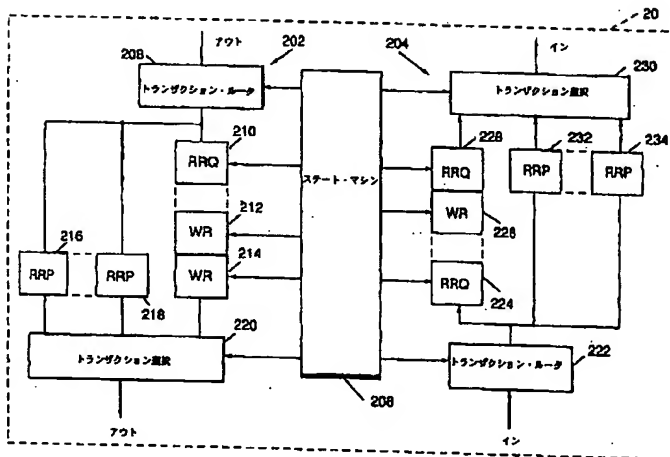
【図1】



【図3】



【図2】



フロントページの続き

(72)発明者 エドワード・ジェイ・シルハ
アメリカ合衆国78759、テキサス州、オー
スチン、ビレネーズ 11509

(72)発明者 スチーブン・エム・ターバー
アメリカ合衆国、テキサス州、オースチ
ン、エフライム・ロード 8308